سنة أولى
1 : INFO

الحل

➢ Exercise 01 (2+4 = 06 Points)

3) X= (5D)17 and Y= (B6)21 , calculate Z= (X+Y)9

X= (5D)17 = (98)10 = **(118)9** and Y= (B6)21= (237)10 = **(283)9** ,

Z= (118+283)9 = 412

4) Complete the following table:

Decimal (Signed integer)	1'Complement in 8 bits	S/M representation in 8 bits	2'Complement in 8 bits
+44	0010 1100	0010 1100	0010 1100
-61	11000010	1011 1101	11000011
-127	10000000	11111111	10000001

➢ Exercise 02 (1+1.5 +1.5 = 04 Points)

00011011100000000000000000000000

31 0

Bit (31) =0 Positive sign (0,5 p)

(00011011) = $(27)_{10}$ (1 p)

IEEE 754 single precision calage =127

27-127= -100 so b= -100 (1 p)

a = 1,5.

➢ **Exercise 03 (10 Points):**

-Determine **the role** of this circuit. (S5 = 0 in all cases) **(4+3= 7 Points):**

S1= E1E2 S2= E1(E2'+E3) S3= E3 (E1 xor E2) S4= E2E3' S5= 0 S6=E3 (0,5*6= 3 Points)

The truth table (4 Points)

E1	E2	E3	S1	S2	S3	S4	S5	S6
0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	1
0	1	0	0	0	0	1	0	0
0	1	1	0	0	1	0	0	1
1	0	0	0	1	0	0	0	0
1	0	1	0	1	1	0	0	1
1	1	0	1	0	0	1	0	0
1	1	1	1	1	0	0	0	1

The role of the logic circuit: It gives a square of value (written in three bits)

(3 Points) **دور هذه الدارة تعطي مربع قيمة ممثلة في 3 بتات**

- Explain briefly **the difference** between **a decoder** and **a multiplexer circuit. (3 Points)**

The multiplexer or MUX (Figure 1) is a combinational digital circuit which selects one of many input signals and transmit the selected input signal to a single output line. The multiplexer is also known as data selector as it selects one input from several inputs and

delivers it to a single output line. The operational principle of the multiplexer is many-to-one.

معدد الإرسال أو **MUX** عبارة عن دائرة رقمية مجمعة تختار واحدة من إشارات الإدخال العديدة وتنقل إشارة الإدخال المحددة إلى خط إخراج واحد. يُعرف معدد الإرسال أيضًا باسم محدد البيانات أو الناخب لأنه يختار مدخلاً واحدًا من عدة مدخلات ويسلمه إلى سطر إخراج واحد. المبدأ التشغيلي لمضاعف الإرسال هو متعدد إلى واحد.

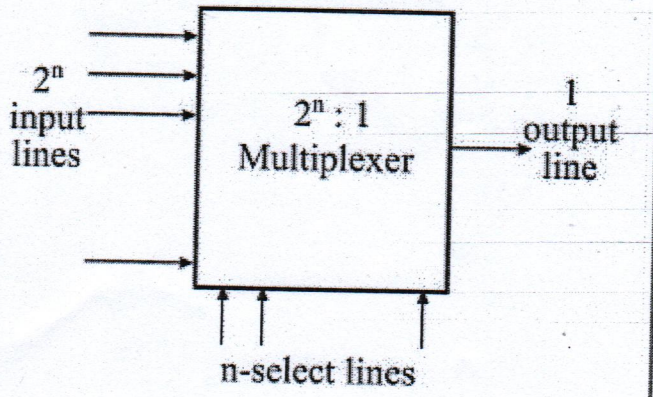

Figure 1 - Multiplexer

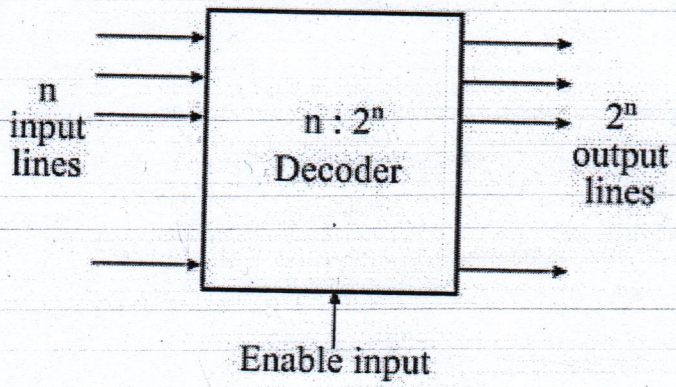

Figure 2 - Decoder

A decoder (Figure 2) is a combinational logic circuit which has many input and output lines. Therefore, a decoder has "n" input lines and maximum "m" output lines, where m = 2n. When the decoder circuit is enabled, based on the combination of inputs present, one of the 2n output lines will be active high. The block diagram of decoder is shown in Figure-2.

وحدة فك التشفير عبارة عن دائرة منطقية مجمعة تحتوي على العديد من خطوط الإدخال والإخراج. لذلك، يحتوي جهاز فك التشفير على خطوط إدخال " "nوخطوط إخراج قصوى "m""، حيث **m = 2n.** عندما يتم تمكين دائرة فك التشفير، استنادًا إلى مجموعة المدخلات الموجودة، سيكون أحد خطوط الإخراج **n2** نشطًا عاليًا. يظهر الرسم التخطيطي لجهاز فك التشفير في الشكل **2.**